

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP2000049294 (A)

Publication date: 2000-02-18

Inventor(s): TSUZUKI YASUAKI; SAKAKIBARA TOSHIO; FUKUI AKITO; SUGISAKA TAKAYOSHI

Applicant(s): DENSO CORP

Classification:

- international: *H01L23/522; H01L21/768; H01L21/822; H01L27/04; H01L23/52; H01L21/70; H01L27/04; (IPC1-7): H01L27/04; H01L21/768; H01L21/822*

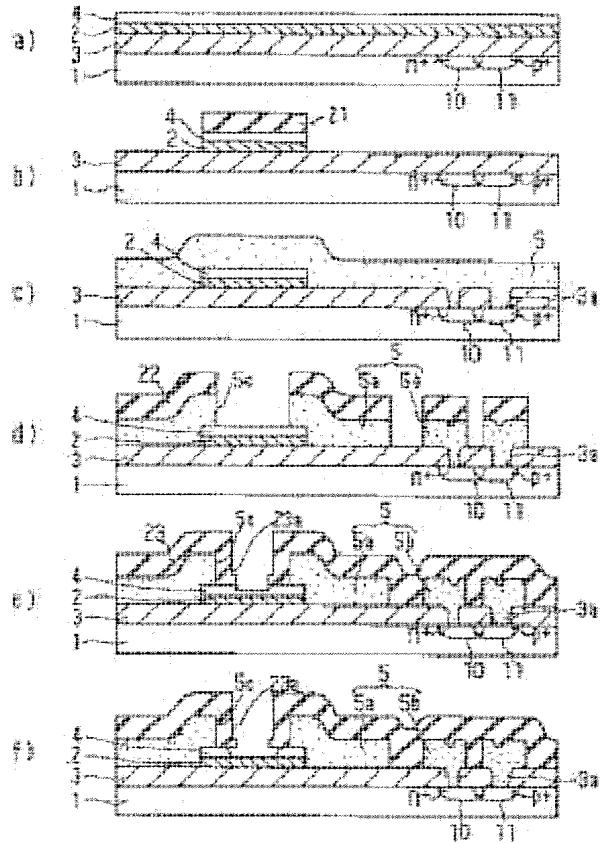
- European:

Application number: JP19980217725 19980731

Priority number(s): JP19980217725 19980731

Abstract of JP 2000049294 (A)

PROBLEM TO BE SOLVED: To prevent a barrier metal from being undercut, and to make the step coverage satisfactory. **SOLUTION:** A photoresist 23 is deposited on an Al film 5, including the interior of opening 5c, portions of the photoresist 23 deposited in the openings 5c are removed to form smaller openings 23a than the openings 5c. A barrier metal 4 is removed by etching through openings 23a. Thus the barrier metal 4 can be etched from a position further interior than the opening ends of the Al film 5 by etching through the openings 23a, so that undercuts of the barrier metal 4 underlying the Al film 5 can be prevented. As a result, the step coverage can be made satisfactory.



Data supplied from the **esp@cenet** database — Worldwide

(51) Int.Cl.⁷
H 01 L 27/04
21/822
21/768

識別記号

F I
H 01 L 27/04
21/90

テマコード* (参考)
P 5 F 0 3 3
B 5 F 0 3 8

審査請求 未請求 請求項の数11 ○L (全8頁)

(21)出願番号 特願平10-217725

(22)出願日 平成10年7月31日 (1998.7.31)

(71)出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(72)発明者 都築 康明
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72)発明者 柳原 利夫
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(74)代理人 100100022
弁理士 伊藤 洋二 (外1名)

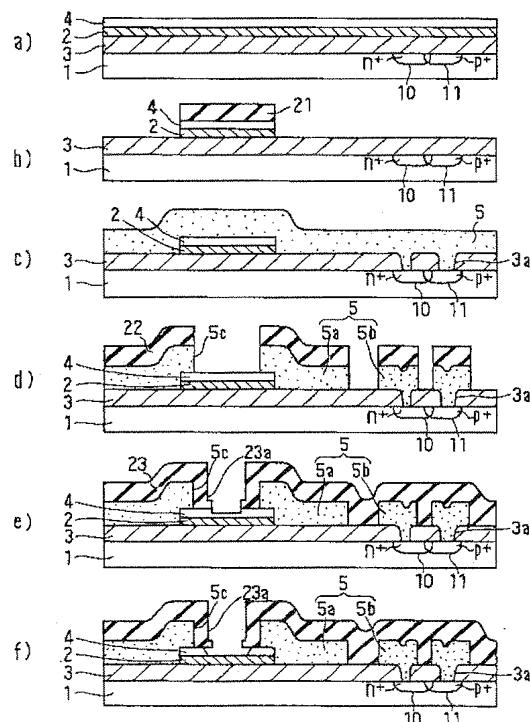
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 バリアメタルがアンダーカットされてしまうことを防止し、ステップカバレッジを良好にする。

【解決手段】 開口部5c内を含むA1膜5上にフォトレジスト23を堆積すると共に、該フォトレジスト23のうち開口部5c内に堆積した部分を除去して、開口部5cよりも小さな開口部23aを形成する。そして、この開口部23aよりエッティングを行い、バリアメタル4を除去する。このように、開口部5cよりも内側の開口部23aを通じてエッティングを行うことにより、A1膜5の開口端よりも内側からバリアメタル4をエッティングできるため、A1膜5の下側に位置するバリアメタル4のアンダーカットを防止することができる。これにより、ステップカバレッジを良好にできる。



【特許請求の範囲】

【請求項1】 薄膜抵抗材料(2)、バリアメタル材料(4)及び電極材料(5)を順に基板(1)に配置し、パターニングした前記電極材料(5)に基づいて前記バリアメタル材料(4)をエッティングして、前記薄膜抵抗材料(2)による薄膜抵抗体を確定すると共に、該薄膜抵抗体の電極取り出し位置にバリアメタルを配置するようになった薄膜抵抗体の製造方法において、

前記電極材料(5)のパターニング時に該電極材料(5)を露出させるマスク開口幅より、前記バリアメタル材料(4)のエッティング時に該バリアメタル材料(4)を露出させるマスク開口幅の方を小さくしたことを特徴とする薄膜抵抗体の製造方法。

【請求項2】 前記バリアメタル材料(4)をエッティングする工程は、その表面を部分的にドライエッティングした後に、ウェットエッティングすることで、前記電極取り出し位置以外の薄膜抵抗体上に被着した前記バリアメタル材料(4)を除去する工程であることを特徴とする請求項1に記載の薄膜抵抗体の製造方法。

【請求項3】 薄膜抵抗材料(2)、バリアメタル材料(4)及び電極材料(5)を順に基板(1)に配置し、パターニングした前記電極材料(5)に基づいて前記バリアメタル材料(4)をエッティングして、前記薄膜抵抗材料(5)による薄膜抵抗体を確定すると共に、該薄膜抵抗体の電極取り出し位置にバリアメタルを配置するようになった薄膜抵抗体の製造方法において、

前記バリアメタル材料(4)をエッティングする工程は、その表面を部分的にドライエッティングした後に、ウェットエッティングすることで、前記電極取り出し位置以外の薄膜抵抗体上に被着した前記バリアメタル材料(4)を除去するようにしたことを特徴とする薄膜抵抗体の製造方法。

【請求項4】 基板(1)上に薄膜抵抗体(2)を形成する薄膜抵抗体の製造方法において、

前記基板(1)上に、前記薄膜抵抗体(2)を構成する金属薄膜を成膜すると共に、該金属薄膜上にバリアメタル(4)を形成する工程と、

前記バリアメタル(4)上に導電性膜(5)を形成する工程と、

前記バリアメタル(4)上における前記導電性膜(5)を除去して、該導電性膜(5)に第1の開口部(5c)を形成する工程と、

前記第1の開口部(5c)に基づいてドライエッティングを行い、前記バリアメタル(4)の一部を除去する工程と、

前記第1の開口部(5c)に基づいてウェットエッティングを行い、前記バリアメタル(4)を除去して前記金属薄膜を露出させる工程と、を含むことを特徴とする薄膜抵抗体の製造方法。

【請求項5】 前記導電性膜(5)に第1の開口部(5c)

c)を形成する工程の後、フォトレジスト(23)を堆積すると共に、該フォトレジスト(23)のうち前記第1の開口部(5c)内に堆積した部分を除去して、前記第1の開口部(5c)よりも小さな第2の開口部(23a)を形成する工程を有し、前記ドライエッティング工程および前記ウェットエッティング工程を前記第2の開口部(23c)を通じて行うことを特徴とする請求項4に記載の薄膜抵抗体の製造方法。

【請求項6】 前記ドライエッティングによって、前記バリアメタル(4)の膜厚の20%以上を除去することを特徴とする請求項4又は5に記載の薄膜抵抗体の製造方法

【請求項7】 前記ドライエッティングは、前記バリアメタル(4)の膜厚が100Å以上残るように行うことを行つことを特徴とする請求項4乃至6のいずれか1つに記載の薄膜抵抗体の製造方法。

【請求項8】 前記ドライエッティングにおいて、CF₄を含むエッティングガスを用いることを特徴とする請求項4乃至7のいずれか1つに記載の薄膜抵抗体の製造方法。

【請求項9】 前記ウェットエッティングにおいて、H₂O₂を含むエッティング液を用いることを特徴とする請求項4乃至8のいずれか1つに記載の薄膜抵抗体の製造方法。

【請求項10】 前記バリアメタル(4)を500Å以上の膜厚で成膜することを特徴とする請求項4乃至9のいずれか1つに記載の薄膜抵抗体の製造方法。

【請求項11】 基板(1)上に配置される薄膜抵抗体(2)を備えた薄膜抵抗体の製造方法において、前記基板(1)上に、前記薄膜抵抗体(2)を形成すると共に、該薄膜抵抗体(3)上にバリアメタル(4)を形成する工程と、

前記バリアメタル(4)上に導電性膜(5)を形成する工程と、

前記バリアメタル(4)上における前記導電性膜(5)を除去して、該導電性膜(5)に第1の開口部(5c)を形成する工程と、

前記第1の開口部(5c)内を含む前記導電性膜(5)上にフォトレジスト(23)を堆積すると共に、該フォトレジスト(23)のうち前記第1の開口部(5c)内に堆積した部分を除去して、前記第1の開口部(5c)よりも小さな第2の開口部(23a)を形成する工程と、

前記第2の開口部(23a)よりエッティングを行い、前記バリアメタル(4)を除去する工程と、を含むことを特徴とする薄膜抵抗体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置における薄膜抵抗の製造方法に関する。

【0002】

【従来の技術】金属薄膜抵抗を備える半導体装置の製造方法として、例えば米国特許第5420063号明細書に示される方法がある。この半導体装置の製造工程を図6に示して説明する。図6(a)に示すように、シリコン基板101上に、熱酸化により絶縁膜102を形成したのち、CrSiからなる金属薄膜抵抗体103をスパッタ法により被着し、さらにTiWからなるバリアメタル104を被着する。

【0003】次に、図6(b)に示すように、フォトレジスト105をマスクとしてCF4等のガスを用いたドライエッティングによってバリアメタル104及び金属薄膜抵抗体103をパターニングする。続いて、図6(c)に示すように、フォトレジスト105を除去したのち、A1膜106を全面的に被着し、さらに図6(d)に示すようにフォトレジスト107をマスクとしてCCl4等を用いたドライエッティングを行い、A1膜106をパターニングして金属薄膜抵抗体103の電極部分を形成する。

【0004】そして、図6(e)に示すように、H₂O₂を主とするエッティング液を用いてウェットエッティングを行い、バリアメタル104を除去して金属薄膜抵抗体103を露出させる。この後、保護膜を形成する等して、金属薄膜抵抗体103を有する半導体装置が完成する。

【0005】

【発明が解決しようとする課題】上記従来の製造方法によって半導体装置を形成した場合におけるバリアメタル104の近傍の拡大図を図7に示す。この図に示されるように、A1膜106に形成された開口部106aからウェットエッティングを行った場合には、A1膜106に形成された開口部106aの開口端よりも内側までバリアメタル104がアンダーカットされる。このアンダーカットされた量が大きいと、後工程で保護膜を形成したとき、図8に示されるように保護膜108がA1膜106の下部に形成されにくくステップカバレッジが悪化し、この部分が水等の浸入経路となって、半導体装置の信頼性が悪化してしまうという問題がある。

【0006】本発明は上記問題に鑑みてなされ、バリアメタルがアンダーカットされてしまうことを防止し、保護膜のステップカバレッジが良好で信頼性が高い薄膜抵抗体の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、以下に示す技術的手段を採用する。請求項1又は2に記載の発明においては、電極材料(5)のパターニング時に該電極材料を露出させるマスク開口幅より、前記バリアメタル材料(4)のエッティング時に該バリアメタル材料を露出させるマスク開口幅の方を小さくしたことと特徴としている。

【0008】このように、電極材料のパターニング時に使用するマスクのマスク開口幅より、バリアメタル材料のエッティング時に使用するマスクのマスク開口幅を小さくすることにより、電極材料のマスクの開口端よりも内側からバリアメタル材料をエッティングできるため、電極材料の下側に位置するバリアメタル材料のアンダーカットを防止できる。これにより、保護膜のステップカバレッジが良好で信頼性が高い薄膜抵抗体とすることができます。

【0009】請求項3に記載の発明においては、バリアメタル材料(4)をエッティングする工程では、その表面を部分的にドライエッティングした後に、ウェットエッティングすることで、電極取り出し位置以外の薄膜抵抗体上に被着したバリアメタル材料を除去することを特徴としている。このように、サイドエッティング量の少ないドライエッティングを行ってからウェットエッティングすることで、ウェットエッティングの量を少なくすることができ、それに伴いウェットエッティングにおけるサイドエッティング量を少なくできる。これにより、ウェットエッティング時におけるサイドエッティング量のバラツキを少なくでき、バリアメタル材料(4)と薄膜抵抗材料(2)との接触幅のバラツキを小さくすることができる。

【0010】請求項4乃至10に記載の発明においては、ドライエッティングを行ってバリアメタル(4)の一部を除去した後、ウェットエッティングを行ってバリアメタル(4)を除去し、薄膜抵抗体(2)を構成する金属薄膜を露出させることを特徴としている。このように、サイドエッティング量の少ないドライエッティングを行ってからウェットエッティングすることで、ウェットエッティングの量を少なくすることができ、それに伴いウェットエッティングにおけるサイドエッティング量を少なくできる。これにより、ウェットエッティング時におけるサイドエッティング量のバラツキを少なくでき、バリアメタル(4)と薄膜抵抗体(2)との接触幅のバラツキを小さくすることができる。

【0011】具体的には、請求項8に示すように、ドライエッティングにおいて、CF₄を含むエッティングガスを用いることができる。また、請求項9に示すように、ウェットエッティングにおいて、H₂O₂を含むエッティング液を用いることができる。請求項5に記載の発明においては、導電性膜(5)に第1の開口部(5c)を形成する工程の後、フォトレジスト(23)を堆積すると共に、該フォトレジスト(23)のうち第1の開口部(5c)内に堆積した部分を除去して、第1の開口部(5c)よりも小さな第2の開口部(23a)を形成する工程を有し、ドライエッティング工程およびウェットエッティング工程を第2の開口部(23c)を通じて行うことを行っている。

【0012】請求項6に記載の発明においては、ドライエッティングによって、バリアメタル(4)の膜厚の20

%以上を除去することを特徴としている。このように、20%以上ドライエッチングによってバリアメタル

(4) をエッチング除去すれば、ウェットエッチングによる影響を少なくでき、ドライエッチングによる形状をうまく継承させることができる。

【0013】請求項7に記載の発明においては、ドライエッチングは、バリアメタル(4)の膜厚が100Å以上残るようを行うことを特徴としている。ドライエッチングのエッチングガスは、薄膜抵抗体(2)のシート抵抗を上昇させる場合がある。このため、エッチング量のバラツキ等を考慮して、バリアメタル(4)が100Å以上残るようにし、ドライエッチングのエッチングガスが薄膜抵抗体(2)に接しないようにすることが好ましい。

【0014】なお、請求項10に示すように、導電性膜(5)と薄膜抵抗体(2)からの相互拡散を防止するためには、バリアメタル(4)を500Å以上の膜厚で成膜することが好ましい。請求項11に記載の発明においては、第1の開口部(5c)内を含む導電性膜(5)上にフォトレジスト(23)を堆積すると共に、該フォトレジスト(23)のうち第1の開口部(5c)内に堆積した部分を除去して、第1の開口部(5c)よりも小さな第2の開口部(23a)を形成し、この第2の開口部(23a)よりエッチングを行い、バリアメタル(4)を除去することを特徴としている。

【0015】このように、第1の開口部(5c)よりも内側の第2の開口部(23a)を通じてエッチングを行うことにより、導電性膜(5)の開口端よりも内側からバリアメタル(4)をエッチングできるため、導電性膜(5)の下側に位置するバリアメタル(4)のアンダーカットを防止することができる。これにより、ステップカバレッジが悪化することを防止できる。

【0016】なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0017】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1に、本発明の一実施形態を適用して製造した、金属薄膜抵抗体を備えた半導体装置の断面図を示す。図1に示されるように、半導体装置にはPN接合素子(例えば、ダイオードやトランジスタ)からなる回路部が備えられており、この回路部が備えられた半導体基板1上にCrSiからなる金属薄膜抵抗体2が形成されている。

【0018】この半導体装置の具体的な構造について説明する。図1に示されるように、シリコンからなる半導体基板1のうち回路部側の表層部には、n型拡散層10とp型拡散層11からなるPN接合が形成されており、これらがPN接合素子を構成している。半導体基板1上には、ボロン(B)やリン(P)を含むBPSG膜等か

らなる絶縁膜3が堆積されており、その絶縁膜3上に金属薄膜抵抗体2が形成されている。

【0019】金属薄膜抵抗体2の両端部にはTiW等からなるバリアメタル4を介してA1電極5aが形成されている。また、PN接合の上部において、絶縁膜3にはコンタクトホール3aが形成されており、このコンタクトホール3aを介してA1配線5bがPN接合と電気的に接続されている。そして、これら金属薄膜抵抗体2やバリアメタル4、A1電極5a及びA1配線5bがTEOS酸化膜等からなる保護膜6によって覆われて半導体装置が構成されている。

【0020】次に、図1に形成されてる半導体装置の製造方法について説明する。図2に半導体装置の製造工程を示し、この図に基づいて説明する。

【図2(a)に示す工程】n⁺型拡散層10及びp⁺型拡散層11よりなるPN接合素子が形成されたシリコンからなる半導体基板1上に、プラズマCVD、常温CVD、熱酸化等によって絶縁膜3を形成する。次に、CrSi若しくはCrSiN等からなる金属薄膜抵抗体2をスパッタ法により200Å程度の厚さで被着し、さらにTiWからなるバリアメタル4を2000Å程度の厚さで被着する。

【0021】【図2(b)に示す工程】フォトレジスト21をマスクとしてCF₄等のガスを用いたドライエッチングによってバリアメタル4及び金属薄膜抵抗体2をパターニングする。

【図2(c)に示す工程】フォトリソグラフィ工程を経て、回路部におけるPN接合と電気的接続を行うためのコンタクトホール3aを絶縁膜3に形成する。

【0022】続いて、A1やA1Si等からなるA1膜5を全面的に1.0μm程度の厚さで被着する。

【図2(d)に示す工程】フォトレジスト22をマスクとしてCCl₄等を用いたドライエッチングを行い、A1膜5をパターニングして金属薄膜抵抗体2との接続用のA1電極5a及び回路部におけるA1配線5bを同時に形成する。このとき、金属薄膜抵抗体2上においてA1膜5が除去され、A1膜5に開口部5cが形成される。

【0023】【図2(e)に示す工程】まず、フォトレジスト23を堆積すると共に、バリアメタル4上における該フォトレジスト23を除去して開口部23aを設ける。このとき、フォトレジスト23に設けられた開口部23aの開口端から、A1膜5に形成された開口部5cの開口端までの距離、つまりA1膜5に形成された開口部5c内に形成されたフォトレジスト23の厚みが2μm程度となるようにする。

【0024】そして、フォトレジスト23をマスクとしてバリアメタル4の除去を行う。このように、A1膜5の開口部5c内に形成されたフォトレジスト23を用いてバリアメタル4の除去を行えば、バリアメタル4はA

1膜の開口端よりも内側から除去されるため、ウェットエッティングを施してもA1膜5の下部に位置するバリアメタル4がほぼ除去されないようにできる。

【0025】このように、再度のフォトリソグラフィ工程を経ることによって、A1膜5に形成された開口部5cの開口端よりも内側、すなわちA1膜5の下部までバリアメタル4がアンダーカットされることなく、後工程で形成する保護膜6をA1膜5の下部に入り込んで成膜する必要もないため、保護膜6のステップカバレッジを良好なものにでき、半導体装置の信頼性を保つことができる。

【0026】ここで、バリアメタル4の除去を従来と同様にウェットエッティングのみによって行なうことが考えられる。しかしながら、ウェットエッティングでバリアメタル4を除去する場合、図3に示されるように、サイドエッティング量Sが大きくばらついてしまい制御困難であるため、バリアメタル4と金属薄膜抵抗体2とが接触する長さがばらつき、つまり金属薄膜抵抗体2としての実質的な抵抗長に大きなバラツキを発生させるという問題があることが判った。

【0027】このため、まず、この図2(e)に示す工程では、フォトレジスト23をマスクとして、その開口部23aよりCF4等のガスを用いてドライエッティングを行い、1000Å程度の厚さだけバリアメタル4を除去して薄くする。このとき、ドライエッティングでバリアメタル4をエッティングしているため、サイドエッティング量を少なくできる。なお、これにより、バリアメタル4は1000Å程度の厚みとなる。

【0028】また、このとき、ドライエッティングによって金属薄膜抵抗体2の周囲における絶縁膜3の一部がエッティング除去され、その形状が残る。

〔図2(f)に示す工程〕次に、フォトレジスト23をマスクとして、H₂O₂を主とするエッティング液を用いてウェットエッティングを行い、バリアメタル4の残部を除去して金属薄膜抵抗体2を露出させる。このときのバリアメタル4近傍の部分拡大図を図4に示す。

【0029】上述したように、バリアメタル4をウェットエッティングによって除去した場合には、サイドエッティングによって横方向へバリアメタル4が除去されるが、本実施形態ではバリアメタル4の一部をドライエッティングしてからウェットエッティングしており、ドライエッティングによる形状が継承されて段付き形状でエッティングが成される。

【0030】このとき、先にドライエッティングを行っているため、ドライエッティングによって残っている部分をウェットエッティングによって除去すればよい。このため、サイドエッティング量が大きくなるウェットエッティングを少なくでき、従来のようにウェットエッティングのみでバリアメタルを除去する場合に比して全体的なサイドエッティング量を少なくすることができる。

【0031】このように、サイドエッティング量の少ないドライエッティングを先に行なっておくことでウェットエッティングの量を少なくすることができ、それに伴いサイドエッティング量を少なくすることができる。このため、バリアメタル4のサイドエッティング量を制御性良く規定でき、バリアメタル4と金属薄膜抵抗体2との接触長さのバラツキを小さくすることができる。これにより、金属薄膜抵抗体2の実質的な抵抗長を制御性良く規定することができる。

【0032】なお、バリアメタル4と金属薄膜抵抗体2との接触長さのバラツキを少なくするのであれば、ウェットエッティングを施さずに、全てドライエッティングを行なえば良いとも考えられるが、ドライエッティングに用いられるCF4等のガスは、金属薄膜抵抗体2にダメージを与えてしまい、金属薄膜抵抗体2のシート抵抗を極端に上昇させてしまうことから好ましくない。このため、金属薄膜抵抗体2の最表面のバリアメタル4はウェットエッティングにより除去する必要がある。

【0033】この後、絶縁膜3や保護膜を形成したのち、窒素雰囲気下で450°C、20分間の熱処理を行なって、金属薄膜抵抗体2を備えた半導体装置が完成する。このように、バリアメタル4の一部をドライエッティングしてからウェットエッティングすることで、ウェットエッティング時におけるサイドエッティング量のバラツキを少なくでき、バリアメタル4と金属薄膜抵抗体2との接触長さのバラツキを小さくすることができる。

【0034】また、本実施形態では、図2(e)の工程で示すように、A1膜5に形成された開口部5cの内壁側に所定の膜厚のフォトレジスト23を被着し、このフォトレジスト23に開口部5cより径の小さい開口部23aを形成するようにしている。そして、レジスト23によって、A1膜5の開口部5cよりも内側の領域からバリアメタル4がエッティングされるようにしているため、A1膜5の下にバリアメタル4が大きくアンダーエッティングされないようにできる。また、当該ウェットエッティング時に、A1膜5はレジスト23により覆われており、A1膜5とバリアメタル4が同時にウェットエッティングのエッティング液に暴露しないようにできる。

【0035】このため、従来のようにウェットエッティング時にA1膜を覆わず、イオン化傾向の異なるA1膜5とバリアメタル4及び金属薄膜抵抗体2が同時にエッティング液にされされることにより発生する電池効果に起因する不所望なエッティング(A1の溶出)を抑制することができる。

(他の実施形態) 上記実施形態では、バリアメタル4の膜厚を2000Å程度にしているが、これに限らず、所望の膜厚とすればよい。ただし、バリアメタル4は、A1膜5と金属薄膜抵抗体2との相互拡散を防止するためのものであるため、500Å程度の厚さが必要とされる。

【0036】そして、上記実施形態ではバリアメタル4の膜厚が2000Å程度であったのに対し、ドライエッチングによるエッチング量を1000Å程度としているが、これはウェットエッチングによる影響が大きく現れて、ドライエッチングを行った効果が得られなくなることを防止するために上記エッチング量としている。ドライエッチングを行う量が少ないと、ウェットエッチングによる影響が大きく現れてしまい、ドライエッチングによる形状をうまく継承できず、上記効果があまり得られなくなる、すなわちサイドエッチング量Sを精密に規定することができなくなる場合がある。具体的に実験を行ったところ、図5に示す結果が得られた。この図はドライエッチング量／（ドライエッチング量+ウェットエッチング量（=全体のエッチング量））に対するサイドエッチング量を示しており、サイドエッチング量のバラツキが例えば2μm以下であることが要件とすれば、ドライエッチングによってバリアメタル4の膜厚の20%程度以上を除去するようにすればよい。このため、上記エッチング量を選択している。

【0037】また、ウェットエッチングによる影響をより少なくするためにには、ドライエッチング量をより多くすればよい。しかしながら、上述したように、ドライエッチングは、金属薄膜抵抗体2のシート抵抗を上昇させてしまう。このため、エッチング量のバラツキ等を考慮すると、バリアメタル4が100Å以上残るようになるのが好ましい。

【0038】また、上記実施形態では、レジスト23に開口部23aを形成し、ドライエッチング、ウェットエッチングを行うようにしていたが、アンダーエッチングの起こりやすいウェットエッチング時のエッチングマスクを開口幅の小さいレジスト23とすればよく、レジ

ト22の開口部5cをマスクとしてドライエッチングによるバリアメタル4の部分エッチングを行った後、開口窓の小さいレジスト23を形成するようにしてウェットエッチングによるバリアメタル4の仕上げエッチングを行うようにしてもよい。

【0039】なお、上記実施形態では、A1膜5を用いてA1電極5a及びA1配線5bを共に形成しているが、これらは別々のA1膜によって形成してもよい。

【図面の簡単な説明】

【図1】本発明の一実施形態を適用して製造した半導体装置の断面図である。

【図2】図1に示す半導体装置の製造工程を説明するための図である。

【図3】ウェットエッチングを行った場合におけるバリアメタル4の近傍を示す部分拡大図である。

【図4】ドライエッチング及びウェットエッチングを行った場合におけるバリアメタル4の近傍を示す部分拡大図である。

【図5】ドライエッチング量とサイドエッチング量との関係を示す図である。

【図6】従来における半導体装置の製造工程を説明するための図である。

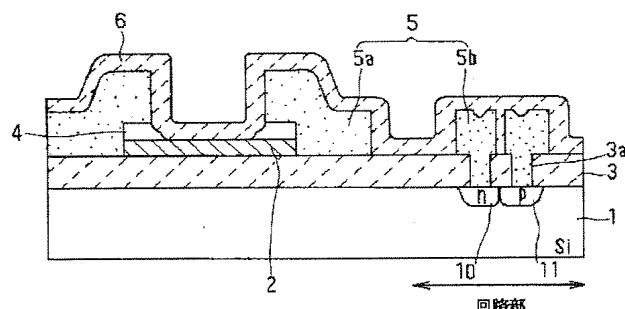
【図7】従来のウェットエッチングによるバリアメタルのアンダーカットを説明するための図である。

【図8】半導体装置のステップカバレッジを説明するための図である。

【符号の説明】

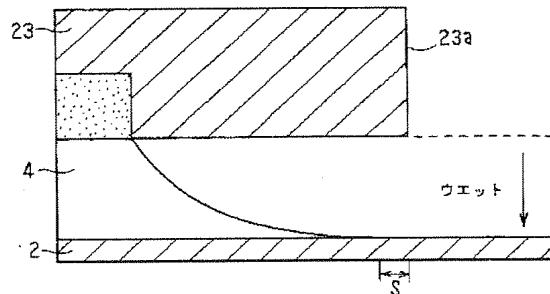
1…半導体基板、2…金属薄膜抵抗体、3…絶縁膜、4…バリアメタル、5…A1膜、5a…A1電極、5b…A1配線、5c…開口部、6…保護膜、21～23…フォトレジスト、23a…開口部。

【図1】

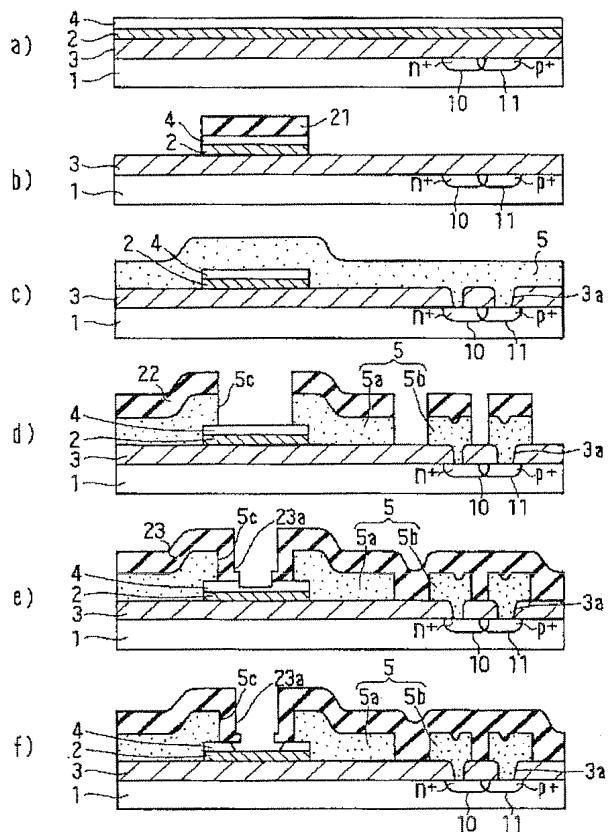


1: 半導体基板
2: 金属薄膜抵抗体
3: 絶縁膜
4: バリアメタル
5a: A1電極
5b: A1配線
5: A1膜
6: 保護膜

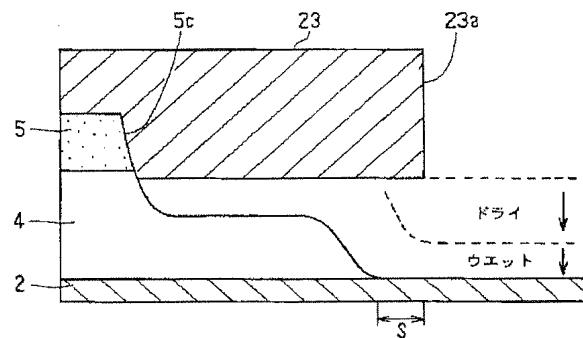
【図3】



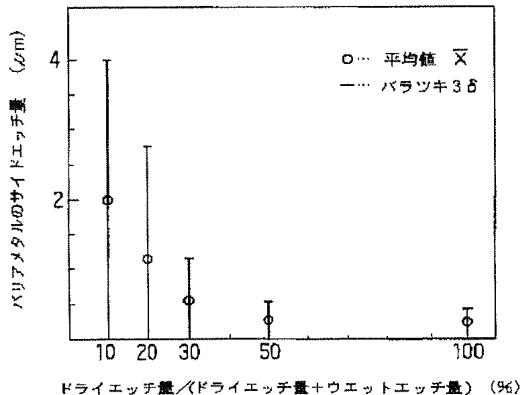
【図2】



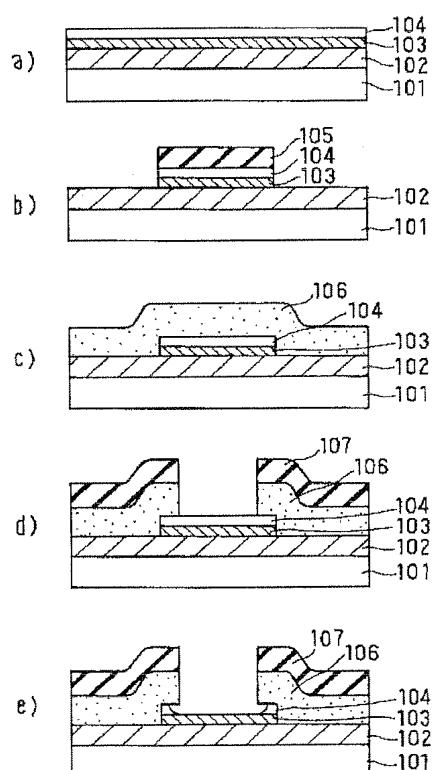
【図4】



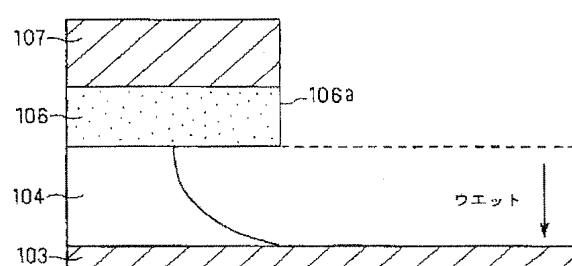
【図5】



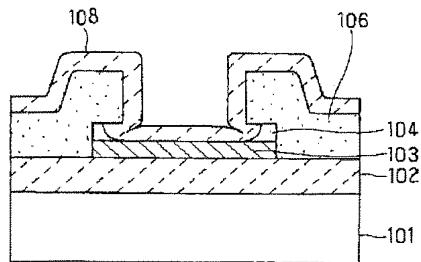
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 福井 章人
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソーカー内

(72) 発明者 杉坂 貴是
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソーカー内
F ターム(参考) 5F033 AA04 AA13 BA12 CA07 DA05
DA16 DA26 EA05
5F038 AR07 AR08 AR16 EZ14 EZ15
EZ20